

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-089971

(43)Date of publication of application : 31.03.2000

(51)Int.Cl.

G06F 9/46

(21)Application number : 10-262535

(71)Applicant : NEC ENG LTD

(22)Date of filing : 17.09.1998

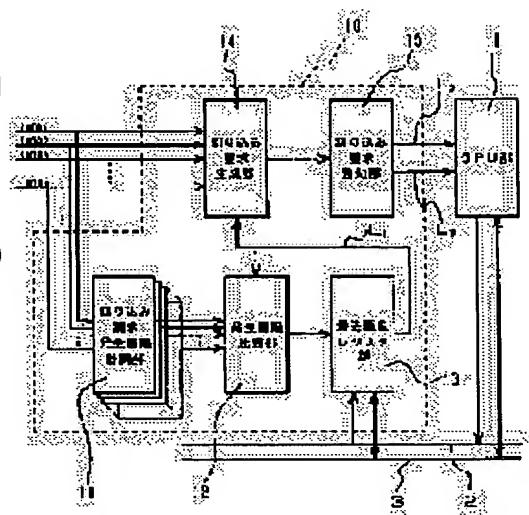
(72)Inventor : FUJISAKI KATSUYUKI

## (54) METHOD AND DEVICE FOR CONTROLLING INTERRUPTION ORDER

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To remove the bias of interruption processing and to automatically execute uniform interruption processing by monitoring the generation of plural interruption requests in real time and changing the priority of these requests based on their generation intervals.

**SOLUTION:** Respective interruption request generation interval measuring parts 11 respectively measure the generation intervals of interruption request signals INT00 to INT0n and send respective measured results to a generation interval comparing part 12. The comparing part 12 assigns the order of priority to the interruption requests based on the generation intervals and stores the order of priority in a priority order register part 13, which sends the priority order to an interruption request generation part 14 to determine the priority order of interruption requests to be executed. Then an interruption request informing part 15 informs a CPU 1 of the interruption requests based on the priority order to execute corresponding interruption request processing.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-89971

(P2000-89971A)

(43)公開日 平成12年3月31日(2000.3.31)

(51)Int.Cl.<sup>7</sup>

G 0 6 F 9/46

識別記号

3 2 2

F I

C 0 6 F 9/46

テーマコード(参考)

3 2 2 C 5 B 0 9 8

審査請求 未請求 請求項の数3 O L (全 5 頁)

(21)出願番号

特願平10-262535

(22)出願日

平成10年9月17日(1998.9.17)

(71)出願人 000232047

日本電気エンジニアリング株式会社

東京都港区芝浦三丁目18番21号

(72)発明者 藤崎 克之

東京都港区芝浦三丁目18番21号 日本電気

エンジニアリング株式会社内

(74)代理人 100091591

弁理士 望月 秀人

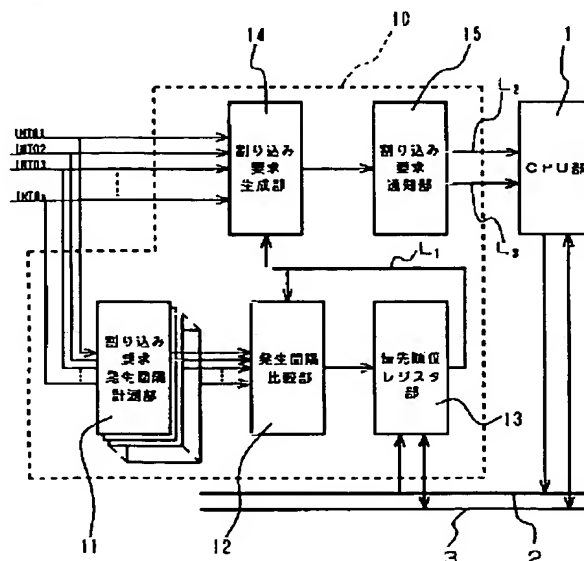
Fターム(参考) 5B098 BA12 CC01 CC02 GA01 GC03

(54)【発明の名称】 割込み順位制御方法及び割込み順位制御装置

(57)【要約】

【課題】 複数の割込み要求の発生をリアルタイムに監視し、その発生間隔から優先順位を変更することにより、割込み処理の偏りをなくして、自動的に均等な割込み処理を行なえるようにする。

【解決手段】 割込み要求信号INT00～INT0nの発生間隔を割込み要求発生間隔計測部11で計測し、計測結果を発生間隔比較部12に送出する。当該時の発生間隔から割込み要求に対して優先順位を付し、該優先順位を優先順位レジスタ部13に格納し、割込み要求生成部14に送出して実行すべき割込み要求の優先順位を決定し、この優先順位に基づいて割込み要求通知部15からCPU1に通知して該当する割込み要求処理を実行する。



## 【特許請求の範囲】

【請求項1】 複数の割込み要求を監視して、それぞれの要求の発生間隔を計測し、

前記発生した割込み要求の発生間隔を比較して、割込み要求の優先順位を決定し、

前記発生間隔を比較して決定された優先順位に基づいて、発生した複数の割込み要求の中で高い優先順位のもの決定し、

前記決定した高優先順位の割込み要求をCPUに通知し、

前記CPUでは通知された高優先順位にしたがって割込み処理を行なうことを特徴とする割込み順位制御方法。

【請求項2】 複数の割込み要求を監視して、それぞれの要求の発生間隔を計測する割込み要求発生間隔計測手段と、

発生した割込み要求の発生間隔を比較して、割込み要求の優先順位を決定する発生間隔比較手段と、

前記発生間隔比較手段で決定された優先順位を格納する優先順位登録手段と、

前記優先順位登録手段に格納された優先順位情報に基づいて、発生した複数の割込み要求の中で実行すべき割込み要求の優先順位を決定する割込み要求生成手段と、

前記割込み要求生成手段が決定した割込み要求をCPUに通知する割込み要求通知手段とからなることを特徴とする割込み順位制御装置。

【請求項3】 前記優先順位登録手段に対してソフトウェアによって前記CPUから優先順位の設定を行なえることを特徴とする請求項2に記載の割込み順位制御装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、マイクロコンピュータの割込み順位制御であって、割込み要求があった場合の優先順位を制御する割込み順位制御方法と割込み順位制御装置に関する。

## 【0002】

【従来の技術】コンピュータのプログラムの実行中において、所定の操作などが行なわれたりして割込み要求があると、実行中の命令が中断されて、要求があった命令に関するプログラムに制御が移行する。複数の割込み要求が同時に発生した場合には、優先順位に従って制御から実行されるようにしてある。しかし、優先順位が低く、割込み要求間隔が短いプログラムなどでは、次の割込み要求までに所定の処理が行なわれないおそれが生じる。

【0003】このため、特開平4-128934号公報に記載されたマイクロプロセッサがある。このマイクロプロセッサは、複数の割込み入力端子と、これら入力端子からの各割込み信号の優先順位を設定するレジスタ部と、このレジスタ部の出力信号をデコードするデコーダ

部と、このデコーダ部の出力信号に応じて前記各割込み信号を任意に並べ替えるマトリクススイッチ部とを有する構成とされたものである。したがって、各割込み信号の優先順位をレジスタ部に設定することにより、優先順位を任意に再設定することができるものである。

【0004】また、特開平7-175714号公報に記載されたメモリアクセス調停装置及び方法がある。このメモリアクセス調停装置は、CPU及び優先順位の異なる複数のブロックから共有メモリへのアクセス要求を調停するメモリアクセス調停装置であって、上記複数のブロック中の任意の1つがメモリアクセス中にこのブロックよりも優先順位の低いブロックからアクセス要求がきた場合に、そのアクセス終了後にまたこのアクセスを終了した当該ブロックからの再アクセス要求がきたとしても、上記アクセス中にきた要求のうち、優先順位の高い他のブロックから先にメモリへのアクセスを許可する第1の調停手段と、上記複数のブロックそれぞれのアクセス時間とアクセス要求間隔とをも考慮し、優先順位の最も高いブロックのアクセス終了後、このブロックの次のメモリアクセス要求間隔までに他のブロックのアクセス要求を受け付け、上記第1の調停手段で許可された順でメモリアクセスを実行する第2の調停手段とを具備させたものである。

## 【0005】

【発明が解決しようとする課題】しかしながら、上述した従来のマイクロプロセッサでは、優先順位がレジスタ部に設定されるようにしてあるため、複数の割込み要求それぞれが発生する状態を見て優先順位を変更する場合には、その状態の変化するたびにソフトウェアにより優先順位をレジスタ部に設定し直さなければならない。しかも、リアルタイムに割込み要求の発生を監視するものではないから、レジスタ部に設定されるまでは優先順位を変更することができず、突発的に発生した割込み要求に十分に対処できないおそれがある。

【0006】また、前記メモリアクセス調停装置では、アクセス時間とアクセス要求間隔とを考慮しても優先順位に従うから、突発的に発生した要求の優先順位が低い場合には十分に対処することができない。

【0007】そこで、この発明は、複数の割込み要求の発生をリアルタイムに監視すると共に、その発生間隔から優先順位を変更して割込み要求に対処する割込み順位制御装置を提供することを目的としている。

## 【0008】

【課題を解決するための手段】前記の目的を達成するための技術的手段として、この発明に係る割込み順位制御方法は、複数の割込み要求を監視して、それぞれの要求の発生間隔を計測し、前記発生した割込み要求の発生間隔を比較して、割込み要求の優先順位を決定し、前記発生間隔を比較して決定された優先順位に基づいて、発生した複数の割込み要求の中で高い優先順位のもの決定

し、前記決定した高優先順位の割込み要求をCPUに通知し、前記CPUでは通知された高優先順位にしたがって割込み処理を行なうことを特徴としている。

【0009】たとえば、発生した割込み要求の発生頻度が高い要求に対して高い優先順位を付与する。この優先順位に従って割込み処理が実行される。したがって、複数の割込み要求の中から発生頻度の高い要求が優先的に実行されることになると共に、発生間隔を計測することによって優先順位がリアルタイムに、しかも自動的に変更され設定されることになる。

【0010】また、前記割込み順位制御方法を実行するための割込み順位制御装置として、請求項2の発明に係る割込み順位制御装置は、複数の割込み要求を監視して、それぞれの要求の発生間隔を計測する割込み要求発生間隔計測手段と、発生した割込み要求の発生間隔を比較して、割込み要求の優先順位を決定する発生間隔比較手段と、前記発生間隔比較手段で決定された優先順位を格納する優先順位登録手段と、前記優先順位登録手段に格納された優先順位情報に基づいて、発生した複数の割込み要求の中で実行すべき割込み要求の優先順位を決定する割込み要求生成手段と、前記割込み要求生成手段が決定した割込み要求をCPUに通知する割込み要求通知手段とからなることを特徴としている。

【0011】前記割込み要求発生間隔計測手段で複数の割込み要求を監視し、発生間隔が計測されることによって各割込み要求について発生頻度の高低が把握される。この発生頻度の高低に基づいて、前記発生間隔比較手段で複数の割込み要求に対して優先順位が決定され、前記優先順位登録手段に該優先順位が格納される。そして、この格納された優先順位に基づいて前記割込み要求生成手段で割込み要求の実行すべき順位が決定され、それがCPUに通知され、該CPUでは通知された順位によって割込み処理を実行することになる。すなわち、割込み要求の発生頻度に基づいてリアルタイムに割込み処理の実行に関する優先順位が決定され、その順位にしたがって実行される。

【0012】また、請求項3の発明に係る割込み順位制御装置は、前記優先順位登録手段に対してソフトウェアによって前記CPUから優先順位の設定を行なえることを特徴としている。

【0013】割込み要求の内容によっては発生頻度に拘わらず優先的に実行されることを要する制御があり、斯かる制御内容に対してはソフトウェアなどを利用して外部からの入力することができる。

【0014】

【発明の実施の形態】以下、図示した好ましい実施の形態に基づいて、この発明に係る割込み順位制御方法と割込み順位制御装置を、特に割込み順位制御装置を具体的に説明することによって、説明する。

【0015】図1はこの割込み順位制御装置の回路構成

を説明する概略のブロック図で、システム全体はCPU1によって統括的に制御される。このCPU1に、割込み順位制御装置10から優先順位が付与された割込み要求がなされる。前記割込み順位制御装置10は、割込み要求発生間隔計測手段としての割込み要求発生間隔計測部11と、発生間隔比較手段としての発生間隔比較部12と、優先順位登録手段としての優先順位レジスタ部13と、割込み要求生成手段としての割込み要求生成部14と、割込み要求通知手段としての割込み要求通知部15とから構成されている。

【0016】前記割込み要求発生間隔計測部11は、周辺装置などから送出される複数の割込み要求信号INT01、INT02、……、INT0nのそれぞれに対して設けられ、該割込み要求信号INT01、INT02、……、INT0nの入力を受けてその発生を監視し、それぞれの割込み要求信号INT01、INT02、……、INT0nの発生間隔を計測する。この割込み要求発生計測部11によって計測された発生間隔に関するデータは、前記発生間隔比較部12に送出される。このとき、発生間隔に関するデータは、発生間隔に変更があった場合にその更新データを送出するようにしてある。前記発生間隔比較部12では、前記優先順位レジスタ部13に予めハードウェアに対して固定され、あるいは後述するようにソフトウェアによって前記CPU1から設定された優先順位情報とシステムに要求される仕様や構成などによって決定されるアルゴリズムに従って、割込み要求信号INT01、INT02、……、INT0nの発生間隔が比較されて、割込み要求の優先順位が決定される。すなわち、例えば発生間隔の短い割込み要求の優先順位を高くするなどである。この優先順位は、前記優先順位レジスタ部13に送出され、次の発生間隔比較部12による優先順位の決定処理に供するために該優先順位レジスタ部13に格納される。優先順位レジスタ部13に格納された当該時の優先順位情報L<sub>1</sub>は前記割込み要求生成部14に送出されて、該割込み要求生成部14において優先順位の高い割込み要求が決定され、この優先順位が決定された割込み要求が前記割込み要求通知部15に送出される。そして、この割込み要求通知部15は、割込み要求生成部14から送出された割込み要求を、割込み要求通知信号L<sub>2</sub>及びいずれの割込み信号かを識別する識別信号L<sub>3</sub>などの前記CPU1が認識できるフォーマットに変換して、該CPU1に通知し、該CPU1によってこの通知された割込み処理が実行される。

【0017】また、前記CPU1及び優先順位レジスタ部13は、アドレスバス2とデータバス3に接続されており、例えばソフトウェアを利用してCPU1から優先順位レジスタ部13に対して割込み要求の優先順位を設定することができるようにしてある。

【0018】以上により構成されたこの発明に係る割込み順位制御装置について、図2を参照しながらその作用を以下に説明する。なお、図2はCPU1に対して4つ

の周辺機器などから割り込み要求信号INT00、INT01、INT02、INT03があるものとし、当初においては、ソフトウェアによるなどして、前記優先順位レジスタ部13に割り込み要求INT00-INT01-INT02-INT03の順で優先順位が設定されているものとする。また、割り込み要求があった場合には、発生間隔の短い割り込み要求がより高い優先順位として設定されるものとする。

【0019】図2に示す点Pの時点では優先順位に変更はなく、割り込み要求があった場合には、割り込み要求INT00-INT01-INT02-INT03の順位で割り込み処理が実行される。

【0020】図2に示す点Qの時点においては、いずれの割り込み要求信号INT00、INT01、INT02、INT03も既に割り込み要求があり、このうち割り込み要求信号INT03については発生間隔aが、割り込み要求信号INT02については発生間隔bが、それぞれ発生間隔情報が前記割り込み要求発生間隔計測部11によって前記発生間隔比較部12に送出される。なお、割り込み要求信号INT00と割り込み要求信号INT01とは点Qの時点で2回目の割り込み要求が行なわれていないから、発生間隔が計測できず、これらの割り込み要求信号については、「情報無し」が前記発生間隔比較部12に送出される。発生間隔比較部12ではそれぞれの割り込み要求信号INT00、INT01、INT02、INT03の発生間隔を比較して、発生間隔は $a > b$ であるから、INT02-INT03の優先順位とし、「情報無し」に係る割り込み要求INT00とINT01は既存順位を維持する。すなわち、割り込み要求INT02-INT03-INT00-INT01の優先順位で前記優先順位レジスタ13の設定されることになる。したがって、前記割り込み要求生成部14において割り込み要求INT02-INT03-INT00-INT01の優先順位が決定されて、割り込み要求通知部15からこの優先順位でCPU1に割り込み要求が通知される。このため、割り込み要求INT02に関する割り込み処理がCPU1によって実行され、該割り込み処理の終了後に割り込み要求INT03がCPU1に通知されてその割り込み処理が実行される。そして、点Qの時点における前記優先順位は発生間隔が変化するR点まで変更されずに維持される。このR点では、割り込み要求信号INT01が発生しているので、該割り込み要求INT01に係る割り込み処理が実行される。

【0021】そして、S点において、割り込み要求信号INT00とINT01の発生が割り込み要求発生間隔計測部11で確認され、その発生間隔が割り込み要求信号INT00では発生間隔eであり、割り込み要求信号INT01では発生間隔dで計測される。また、割り込み要求信号INT02と割り込み要求信号INT03については、S点までに発生し最後に計測された発生間隔a、cが維持される。そして、これらの発生

間隔に関するデータa、c、d、eが前記発生間隔比較部12に送出される。発生間隔比較部12ではそれぞれの発生間隔を比較し、 $d = e > a > c$ となっていれば、割り込み要求INT02が最も優先順位が高く、次いで割り込み要求INT03となり、発生間隔dと発生間隔eは等しいため、それまでの優先順位が維持される。すなわち、割り込み要求INT02-INT03-INT00-INT01の優先順位で前記優先順位レジスタ13の設定されることになる。そして、点Sの時点では割り込み要求INT00があるのみなので、該割り込み要求INT00がCPU1に通知されて割り込み処理が実行される。

【0022】

【発明の効果】以上説明したように、この発明に係る割り込み順位制御方法及び割り込み順位制御装置によれば、複数の割り込み要求を、その発生間隔を計測することによって優先順位を変更し再設定するようにしたから、ほぼリアルタイムで優先順位を変更することができる。このため、突発的に発生した割り込み要求に対しても迅速かつ十分に対処できる。また、例えば、発生頻度の高い割り込み要求を優先順位を高くして再設定するものとした場合に、当初において発生頻度の低い割り込み要求に高い優先順位を付与して設定することにより、それぞれの割り込み要求に対する処理を偏らずに行なうことができ、全ての割り込み要求を均等に処理できる。

【0023】しかも、ソフトウェアによって随時優先順位の設定を行なわずとも自動的に優先順位が変更できるから、CPUの負荷を低減しシステム効率を向上させることができる。

【図面の簡単な説明】

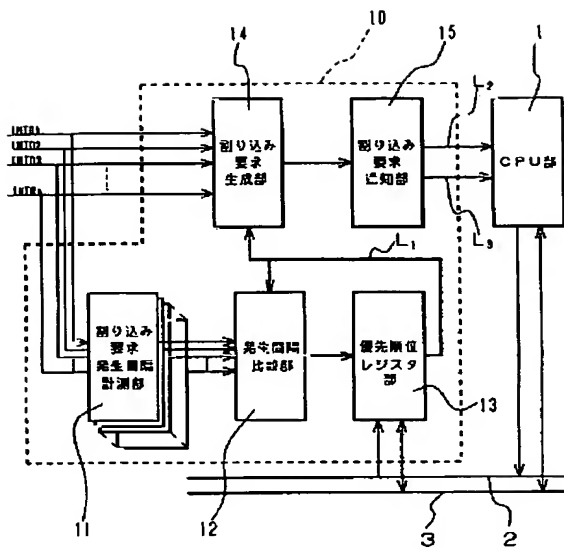
【図1】この割り込み順位制御装置の回路構成を説明する概略のブロック図である。

【図2】この発明に係る割り込み順位制御装置の実施形態について動作を説明する図で、割り込み信号のタイムチャートである。

【符号の説明】

- 1 CPU
- 2 アドレスバス
- 3 データバス
- 10 割り込み順位制御装置
- 11 割り込み要求発生間隔計測部（割り込み要求発生間隔計測手段）
- 12 発生間隔比較部（発生間隔比較手段）
- 13 優先順位レジスタ部（優先順位登録手段）
- 14 割り込み要求生成部（割り込み要求生成手段）
- 15 割り込み要求通知部（割り込み要求通知手段）

【図1】



【図2】

